Міністерство освіти і науки, молоді та спорту України

Національний технічний університет України

"Київський політехнічний інститут"

Факультет прикладної математики

Кафедра Системного програмування та

Спеціалізованих комп’ютерних систем

Лабораторна робота №1

з дисципліни:

"Архітектура комп’ютерів "

Виконав:

Студент групи КВ-92

Степанюк Михайло

Перевірив:

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

**Київ 2012**

***1. Мета:*** Одержати навички в проектуваннi арифметико–логiчних пристроїв з розподiленою логiкою i автоматiв управлiння з жорсткою логiкою.

***2. Завдання***

Варіанти завдання визначаються молодшими розрядами a7,…,a1 двійкового номера залікової книжки. Розробити структурну схему операційного пристрою та змістовний мікроалгоритм обробки додатних чисел відповідно до завдання наведеного у табл. 2.7. Для побудови схеми використати комбінаційний суматор, регістр-лічильник циклів та асинхронні регістри, що мають входи управління зсувами і занесенням інформації. На схемі повинні бути зазначені розрядність регістрів та шин. Розробити функціональну схему операційного пристрою. Виконати логічне моделювання роботи операційного пристрою за допомогою цифрової діаграми із зазначеними викладачем значеннями операндів. Здійснити синтез пристрою управління, тип управляючого автомату обрати із табл.2.9. Пам’ять автомата реалізувати на тригерах, тип яких обрати з табл. 2.8. Ураховувати, що мікрооперації на регістрах виконуються за перепадом управляючих сигналівз 1 в 0. Побудувати часові діаграми роботи автомата для кожної комбінацій значень логічних умов.

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| *Таблиця 2.7.*Варіанти завдань | | | | | | | | | | |
| *a*7 | *a*6 | | *a*5 | *a*4 | | Спосіб множення | | | |
| 0 | 0 | | 0 | 0 | | 1-й | | | |
| 0 | 0 | | 0 | 1 | | 2-й | | | |
| 0 | 0 | | 1 | 0 | | 3-й | | | |
| 0 | 0 | | 1 | 1 | | 4-й | | | |
| *a*7 | *a*6 | | *a*5 | *a*4 | | Функція | | | |
| 0 | 1 | | 0 | 0 | | *D*=2*C+*4*AB* | | | |
| 0 | 1 | | 0 | 1 | | *D*=2*C*-2*AB* | | | |
| 0 | 1 | | 1 | 0 | | *D*=2*C*–4*AB* | | | |
| 0 | 1 | | 1 | 1 | | *D*=*A*(*B*-1)+0,5*C* | | | |
| 1 | 0 | | 0 | 0 | | *D*=2*A*(*B*+1)+0,5*C* | | | |
| 1 | 0 | | 0 | 1 | | *D*=*A*(*B*+1)+2*C* | | | |
| 1 | 0 | | 1 | 0 | | *D*=*C*+2*AB* | | | |
| 1 | 0 | | 1 | 1 | | *D*=*AB*+0,5*C* | | | |
| 1 | 1 | | 0 | 0 | | *D*=2*A*(*B*+1)+*C* | | | |
| 1 | 1 | | 0 | 1 | | *D*=*A*(*B*-1)+ 2*C* | | | |
| 1 | 1 | | 1 | 0 | | *D*=*A*(*B*+1)+ 0,5*C* | | | |
| 1 | 1 | | 1 | 1 | | *D*=2*A*(*B*-1)+*C* | | | |
| *Таблиця 2.8.*Варіанти завдання | | | | | | |  | *Таблиця 2.9.* Варіанти завдання | | | |
| a3 | | a2 | | | Тип тригера | |  | a1 | Тип автомата | | |
| 0 | | 0 | | | JK | |  | 0 | Мили | | |
| 0 | | 1 | | | T | |  | 1 | Мура | | |
| 1 | | 0 | | | RS | |  |  |  | | |
| 1 | | 1 | | | D | |  |  |  | | |



a7,a6,a5,a4,a3,a2,a1 = 

a7,a6,a5,a4 = 1110

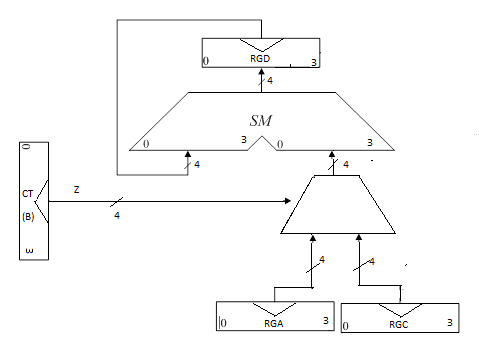
a3,a2 = 00

a1 = 1

***Виконання:***

нехай n = 4

*D*=2*A*(*B*+1)+0,5*C*



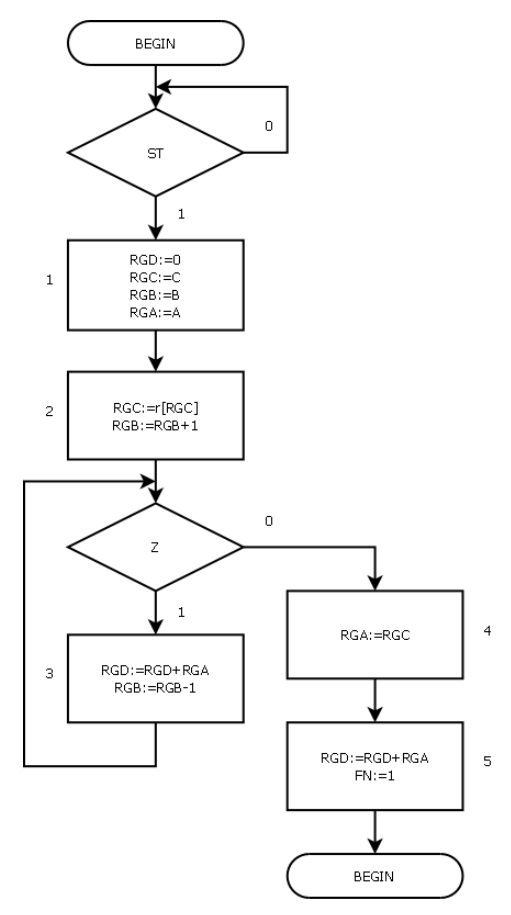
RGD – регiстр результату (накопичувач).

RGA – регiстр операнду A.

RGB – регiстр операнду B. Лiчильник, формує ознаку Z.

RGC – регiстр операнду C. Реалiзує МО зсуву вправо.

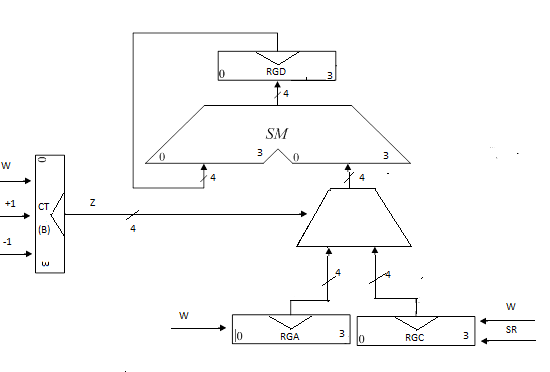
SM – комбiнацiйний суматор.



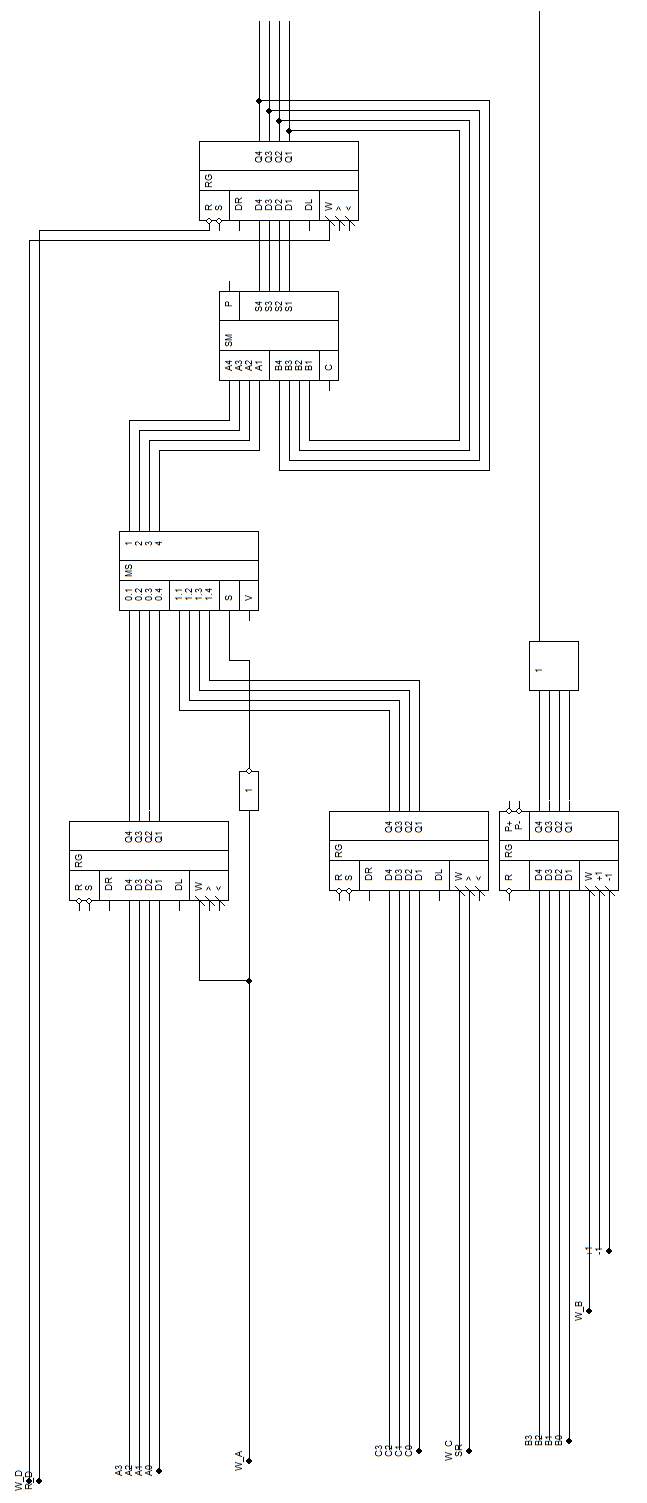
Перелiк управляючих сигналiв елементiв.

|  |  |  |
| --- | --- | --- |
| Елемент | Мікрооперація | Управляючий сигал |
| RGA | Запис | W 1 -> 0 |
| RGB  RGB  RGB | Запис  Інкремент  Декремент | W 1 -> 0  +1 1 -> 0  -1 1 -> 0 |
| RGC  RGC | Запис  Зсув вправо | W 1 -> 0  SR 1 -> 0 |
| RGD  RGD | Запис  Скидання | W 1 -> 0  R 1 -> 0 |

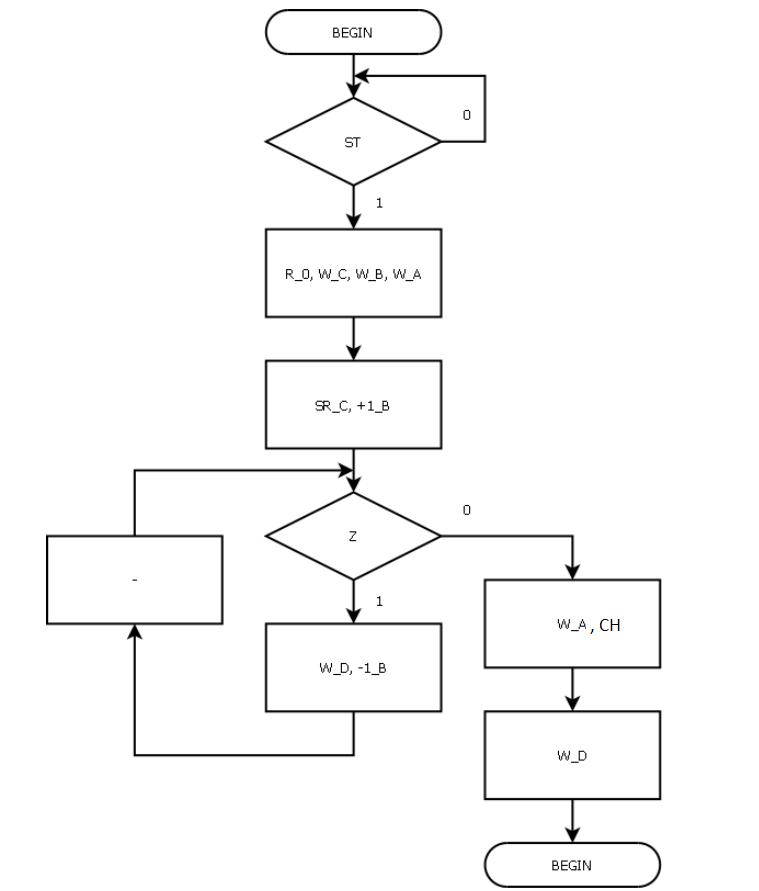
Функцiональна схема операцiйного пристрою.



Побудована функцiональна схема операцiйного пристрою.



Функцiонально–структурний мiкроалгоритм.



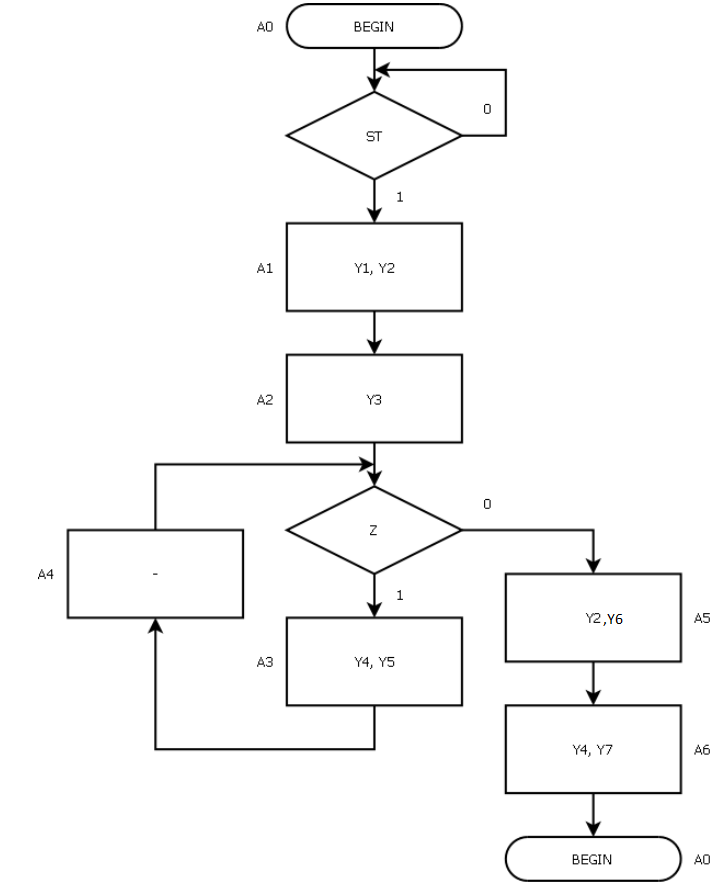
Кодування сигналiв управлiння.

|  |  |
| --- | --- |
| № | Мікрооперації та їх код |
| 1 | - Y1, () – Y2 |
| 2 | - Y3 |
| 3 | () – Y4, () – Y5 |
| 4 | (CH) – Y6, () – Y2 |
| 5 | () – Y4, (FN) – Y7 |

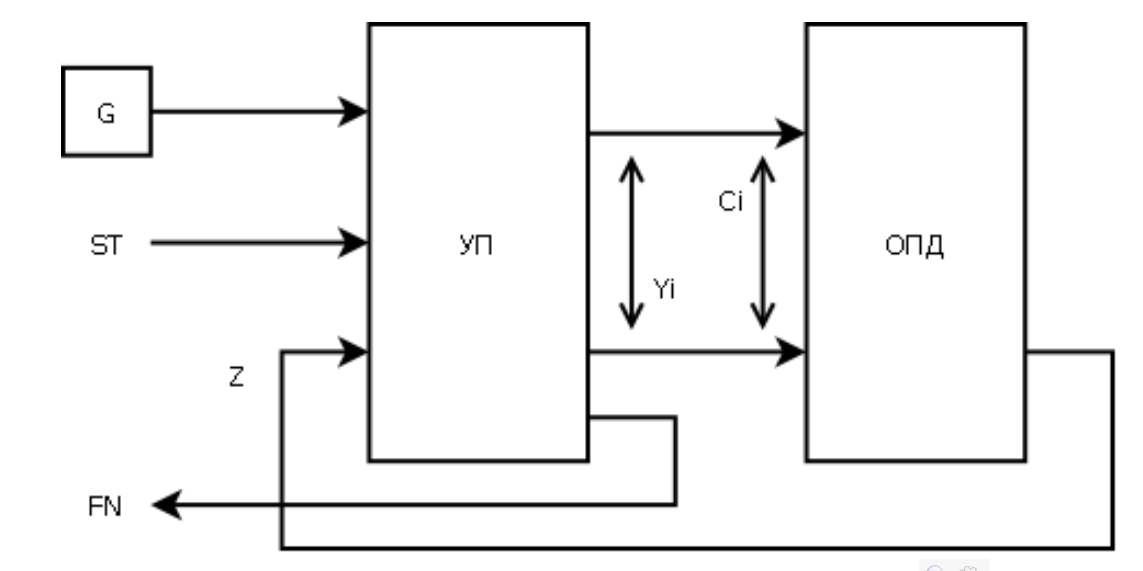
Кодування логiчних умов.

|  |  |
| --- | --- |
| Умова | Код |
| Пуск | ST |
| Кінець | FN |
| Ненульовий вміст лічильника RGB | Z |

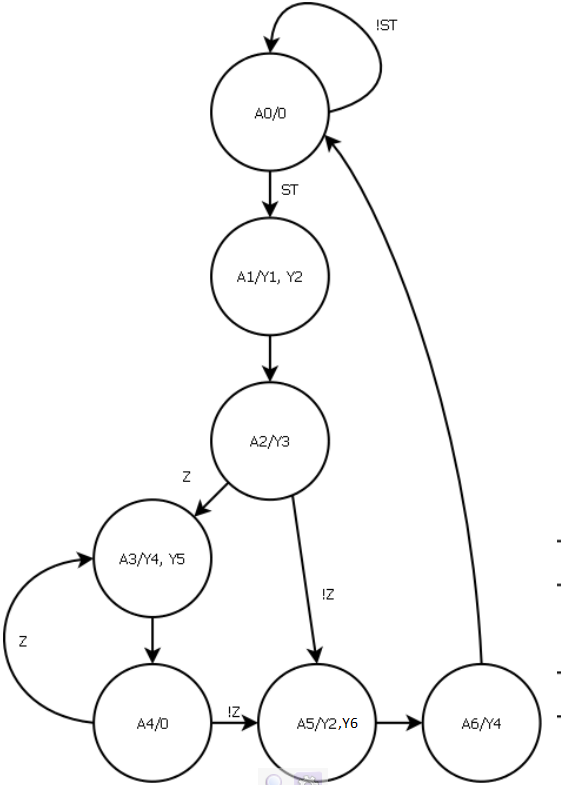
Закодований функцiонально–структурний мiкроалгоритм.



Узагальнена структурна схема АЛП.



Граф автомата.



Кодування станiв автомата.

|  |  |  |  |
| --- | --- | --- | --- |
| Cтан | Q0 | Q1 | Q2 |
| A0 | 0 | 0 | 0 |
| A1 | 0 | 0 | 1 |
| A2 | 0 | 1 | 0 |
| A3 | 0 | 1 | 1 |
| A4 | 1 | 0 | 0 |
| A5 | 1 | 0 | 1 |
| A6 | 1 | 1 | 0 |

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| ПС | Код ПС | | | НС | Код НС | | | Лог. умови | | Керуючі сигнали | | | | | | | Ф-ції збудження | | | | | |
| Q2 | Q1 | Q0 | Q2 | Q1 | Q0 | ST | Z | Y1 | Y2 | Y3 | Y4 | Y5 | Y6 | Y7 | J2 | K2 | J1 | K1 | J0 | K0 |
| A0 | 0 | 0 | 0 | A0 | 0 | 0 | 0 | 0 | \* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | \* | 0 | \* | 0 | \* |
| A0 | 0 | 0 | 0 | A1 | 0 | 0 | 1 | 1 | \* | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 | \* | 0 | \* | 1 | \* |
| A1 | 0 | 0 | 1 | A2 | 0 | 1 | 0 | \* | \* | 0 | 0 | 1 | 0 | 0 | 0 | 0 | 0 | \* | 1 | \* | \* | 1 |
| A2 | 0 | 1 | 0 | A3 | 0 | 1 | 1 | \* | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | \* | \* | 0 | 1 | \* |
| A2 | 0 | 1 | 0 | A5 | 1 | 0 | 1 | \* | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | 1 | \* | \* | 1 | 1 | \* |
| A3 | 0 | 1 | 1 | A4 | 1 | 0 | 0 | \* | \* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | \* | \* | 1 | \* | 1 |
| A4 | 1 | 0 | 0 | A3 | 0 | 1 | 1 | \* | 1 | 0 | 0 | 0 | 1 | 1 | 0 | 0 | \* | 1 | 1 | \* | 1 | \* |
| A4 | 1 | 0 | 0 | A5 | 1 | 0 | 1 | \* | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 0 | \* | 0 | 0 | \* | 1 | \* |
| A5 | 1 | 0 | 1 | A6 | 1 | 1 | 0 | \* | \* | 0 | 0 | 0 | 1 | 0 | 0 | 1 | \* | 0 | 1 | \* | \* | 1 |
| A6 | 1 | 1 | 0 | A0 | 0 | 0 | 0 | \* | \* | 0 | 0 | 0 | 0 | 0 | 0 | 0 | \* | 1 | \* | 1 | 0 | \* |

Y1 =  Y3 = 

Y2 =  Y4 = 

Y5 =  Y6 = Q2

Y7 = 

J2 = V  K2 =  V 

J1 =  K1 = 

J0 =  K0 = VQ2

Зiбранасхема.

